

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

IN RE APPLICATION OF: Hidemasa ZAMA, et al.

GAU:

SERIAL NO: New Application

EXAMINER:

FILED: Herewith

FOR: SEMICONDUCTOR INTEGRATED CIRCUIT, LOGIC OPERATION CIRCUIT, AND FLIP FLOP

REQUEST FOR PRIORITY

ASSISTANT COMMISSIONER FOR PATENTS
WASHINGTON, D.C. 20231

SIR:

- ☐ Full benefit of the filing date of U.S. Application Serial Number, filed, is claimed pursuant to the provisions of 35 U.S.C. §120.
- ☐ Full benefit of the filing date of U.S. Provisional Application Serial Number, filed, is claimed pursuant to the provisions of 35 U.S.C. §119(e).
- ☒ Applicants claim any right to priority from any earlier filed applications to which they may be entitled pursuant to the provisions of 35 U.S.C. §119, as noted below.

In the matter of the above-identified application for patent, notice is hereby given that the applicants claim as priority:

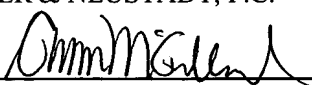
<u>COUNTRY</u>	<u>APPLICATION NUMBER</u>	<u>MONTH/DAY/YEAR</u>
Japan	2000-184398	June 20, 2000

Certified copies of the corresponding Convention Application(s)

- ☒ are submitted herewith
- ☐ will be submitted prior to payment of the Final Fee
- ☐ were filed in prior application Serial No. filed
- ☐ were submitted to the International Bureau in PCT Application Number .
Receipt of the certified copies by the International Bureau in a timely manner under PCT Rule 17.1(a) has been acknowledged as evidenced by the attached PCT/IB/304.
- ☐ (A) Application Serial No.(s) were filed in prior application Serial No. filed ; and
(B) Application Serial No.(s)
- ☐ are submitted herewith
- ☐ will be submitted prior to payment of the Final Fee

Respectfully Submitted,

OBLON, SPIVAK, McCLELLAND,
MAIER & NEUSTADT, P.C.


Marvin J. Spivak
Registration No. 24,913

C. Irvin McClelland
Registration Number 21,124



22850

11033 U.S. PTO
09/883959
06/20/01

3/priority
10/31/04
D. Bell

日 本 国 特 許 庁

PATENT OFFICE
JAPANESE GOVERNMENT

J1033 U.S. PTO

09/883959



#5

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日

Date of Application:

2000年 6月20日

出 願 番 号

Application Number:

特願2000-184398

出 願 人

Applicant (s):

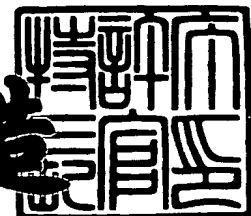
株式会社東芝

東芝マイクロエレクトロニクス株式会社

2001年 4月13日

特許庁長官
Commissioner,
Patent Office

及 川 耕 造



出証番号 出証特2001-3028828

【書類名】 特許願

【整理番号】 12582601

【提出日】 平成12年 6月20日

【あて先】 特許庁長官殿

【国際特許分類】 G06F 17/50

【発明の名称】 半導体集積回路、論理演算回路およびフリップフロップ

【請求項の数】 8

【発明者】

【住所又は居所】 神奈川県川崎市幸区小向東芝町1番地 株式会社東芝
マイクロエレクトロニクスセンター内

【氏名】 座 間 英 匡

【発明者】

【住所又は居所】 神奈川県川崎市幸区小向東芝町1番地 株式会社東芝
マイクロエレクトロニクスセンター内

【氏名】 小 泉 正 幸

【発明者】

【住所又は居所】 神奈川県川崎市幸区小向東芝町1番地 株式会社東芝
マイクロエレクトロニクスセンター内

【氏名】 伊 東 由紀子

【発明者】

【住所又は居所】 神奈川県川崎市幸区小向東芝町1番地 株式会社東芝
マイクロエレクトロニクスセンター内

【氏名】 宇佐美 公 良

【発明者】

【住所又は居所】 神奈川県川崎市幸区小向東芝町1番地 株式会社東芝
マイクロエレクトロニクスセンター内

【氏名】 河 邊 直 之

【発明者】

【住所又は居所】 神奈川県川崎市幸区小向東芝町1番地 株式会社東芝

マイクロエレクトロニクスセンター内

【氏名】 金 沢 正 博

【発明者】

【住所又は居所】 神奈川県川崎市川崎区駅前本町 2 5 番地 1 東芝マイクロエレクトロニクス株式会社内

【氏名】 古 澤 敏 行

【特許出願人】

【識別番号】 000003078

【住所又は居所】 神奈川県川崎市幸区堀川町 7 2 番地

【氏名又は名称】 株式会社 東 芝

【特許出願人】

【識別番号】 000221199

【住所又は居所】 神奈川県川崎市川崎区駅前本町 2 5 番地 1

【氏名又は名称】 東芝マイクロエレクトロニクス株式会社

【代理人】

【識別番号】 100064285

【弁理士】

【氏名又は名称】 佐 藤 一 雄

【選任した代理人】

【識別番号】 100088889

【弁理士】

【氏名又は名称】 橘 谷 英 俊

【選任した代理人】

【識別番号】 100082991

【弁理士】

【氏名又は名称】 佐 藤 泰 和

【選任した代理人】

【識別番号】 100103263

【弁理士】

【氏名又は名称】 川 崎 康

【手数料の表示】

【予納台帳番号】 004444

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プールの可否】 要

【書類名】 明細書

【発明の名称】 半導体集積回路、論理演算回路およびフリップフロップ

【特許請求の範囲】

【請求項 1】

複数のゲート回路を備えた半導体集積回路において、
前記複数のゲート回路のうち一部のゲート回路は、
複数の第 1 のトランジスタで構成された論理回路と、
前記論理回路に電源電圧を供給するか否かを切替可能で、前記第 1 のトランジスタよりもしきい値電圧が高い第 2 のトランジスタで構成された切替回路と、を有し、

前記切替回路を制御する制御回路を備えることを特徴とする半導体集積回路。

【請求項 2】

前記一部のゲート回路は、クリティカル・パス上に設けられることを特徴とする請求項 1 に記載の半導体集積回路。

【請求項 3】

仮想電圧線と第 1 の基準電圧線との間に接続され、複数の第 1 のトランジスタで構成されたゲート回路と、

第 2 の基準電圧線と前記仮想電圧線との間に接続され、前記第 1 のトランジスタよりもしきい値電圧が高いトランジスタで構成された第 2 のトランジスタと、
を備えることを特徴とする論理演算回路。

【請求項 4】

第 1 の基準電圧線と仮想電圧線との間に接続され、複数の第 1 のトランジスタで構成されたゲート回路と、

前記仮想電圧線と第 2 の基準電圧線との間に接続され、前記第 1 のトランジスタよりもしきい値電圧が高い第 2 のトランジスタと、

前記第 1 の基準電圧線と前記ゲート回路の出力端子との間に接続され、前記第 1 のトランジスタよりもしきい値電圧が高い第 3 のトランジスタと、を備え、

前記第 2 および第 3 のトランジスタは、一方がオンするときは他方がオフし、他方がオンするときは一方がオフするようにオン・オフ制御されることを特徴と

する論理演算回路。

【請求項 5】

複数の第 1 のトランジスタで構成され、第 1 および第 2 の仮想電圧線に接続されたゲート回路と、

第 1 の基準電圧線と前記第 1 の仮想電圧線との間に接続され、前記第 1 のトランジスタよりもしきい値電圧が高い第 2 のトランジスタと、

第 2 の基準電圧線と前記第 2 の仮想電圧線との間に接続され、前記第 1 のトランジスタよりもしきい値電圧が高い第 3 のトランジスタと、

前記ゲート回路の出力論理を保持可能な記憶回路と、を備え、

前記記憶回路が前記ゲート回路の出力論理を保持している間は前記第 2 および第 3 のトランジスタはオフ制御され、前記記憶回路が前記ゲート回路の出力論理を保持していない間は前記第 2 および第 3 のトランジスタはオン制御されることを特徴とする論理演算回路。

【請求項 6】

複数の第 1 のトランジスタで構成され、第 1 および第 2 の仮想電圧線に接続されたゲート回路と、

第 1 の基準電圧線と前記第 1 の仮想電圧線との間に接続され、前記第 1 のトランジスタよりもしきい値電圧が高い第 2 のトランジスタと、

第 2 の基準電圧線と前記第 2 の仮想電圧線との間に接続され、前記第 1 のトランジスタよりもしきい値電圧が高い第 3 のトランジスタと、

前記ゲート回路に並列接続され、前記第 1 のトランジスタよりもしきい値電圧が高い複数の第 4 のトランジスタを用いて前記ゲート回路と略等しい回路で構成されたバイパス回路と、を備え、

前記バイパス回路は、前記第 1 および第 2 の基準電圧線間に接続されることを特徴とすることを特徴とする論理演算回路。

【請求項 7】

請求項 3 ～ 6 のいずれかに記載の論理演算回路をクリティカルパス上に設けたことを特徴とする半導体集積回路。

【請求項 8】

入力端子および出力端子間を導通させるか、あるいは遮断させるかを切替可能な第 1 の導通遮断回路と、

前記第 1 の導通遮断回路の出力論理を保持可能な第 1 の記憶回路と、

入力端子および出力端子間を導通させるか、あるいは遮断させるかを切替可能で、入力端子が前記第 1 の記憶回路の出力端子に接続された第 2 の導通遮断回路と、

前記第 2 の導通遮断回路の出力論理を保持可能な第 2 の記憶回路と、を備え、

前記第 1 および第 2 の導通遮断回路は、請求項 3 ～ 6 のいずれかに記載の論理演算回路で構成され、

前記第 1 および第 2 の記憶回路は、前記第 1 および第 2 の導通遮断回路内の前記ゲート回路よりもしきい値電圧の高いトランジスタで構成されることを特徴とするフリップフロップ。

【発明の詳細な説明】

【 0 0 0 1 】

【発明の属する技術分野】

本発明は、複数のトランジスタを組み合わせ構成される半導体集積回路、論理演算回路およびフリップフロップに関し、特に、消費電力の低減と信号伝送速度の向上を図る技術に関する。

【 0 0 0 2 】

【従来の技術】

CMOS論理回路の高速化を図るためには、しきい値電圧の低いトランジスタで回路を構成する必要がある。ところが、トランジスタのしきい値電圧が低くなるほど、スタンバイ時のリーク電流が増大するという問題がある。この問題を回避するために、回路の高速動作とスタンバイ時の低リーク電流を同時に達成できるMT (Multiple Threshold voltage) - CMOS回路が提案されている。

【 0 0 0 3 】

図 8 はMT-CMOS回路の従来の回路図である。図 8 の回路は、仮想電源線 VDD1 と仮想接地線 VSS1 との間に接続されしきい値電圧の低い複数のトランジスタで構成されたLow-Vthブロック 1 と、仮想電源線 VDD1 と電源線 VDD との間に接続され

たしきい値電圧の高いトランジスタQ1と、仮想接地線VSS1と接地線VSSとの間に接続されたしきい値電圧の低いトランジスタQ2とを備えている。

【0004】

動作時（アクティブ時）には、図8のトランジスタQ1、Q2がいずれもオンし、Low-Vthブロック1に電源電圧が供給される。Low-Vthブロック1はしきい値電圧の低いトランジスタで構成されているため、高速に動作する。

【0005】

一方、スタンバイ時には、トランジスタQ1、Q2がいずれもオフし、電源線から接地線にいたるリークパスが遮断され、リーク電流が少なくなる。

【0006】

【発明が解決しようとする課題】

しかしながら、図8のトランジスタQ1、Q2には、オン抵抗が存在するため、アクティブ時の仮想電源線と仮想接地線の電位が不安定になりやすく、Low-Vthブロック1全体の回路動作も不安定になる。

【0007】

また、Low-Vthブロック1がアクティブの間は、電源線から接地線へのリークパスを介して漏れ電流が流れるため、この期間内のリーク電流を減らすことは困難である。さらに、Low-Vthブロック1以外に、しきい値電圧の高いトランジスタを追加しなければならないため、回路面積が増大するとともに、Low-Vthブロック1内のフリップフロップやラッチに保持したデータがスタンバイ時に消失する等の問題が生じる。

【0008】

一方、これらの問題を最小限に抑えるために、論理回路中の一部のセルのみを、しきい値電圧の低いトランジスタに置換した図9のような回路も提案されている。図9の斜線部分がしきい値電圧の低いトランジスタを用いて構成したセルを示している。

【0009】

しかしながら、図9のように、一部のセルをしきい値電圧の低いトランジスタで構成すると、このセルには、スタンバイ時にリーク電流が流れるため、携帯電

話等のように、スタンバイ時（待ち受け時）の消費電力をできるだけ少なくするという要望に応えることはできない。

【 0 0 1 0 】

本発明は、このような点に鑑みてなされたものであり、その目的は、高速動作が可能で、リーク電流の少ない半導体集積回路、論理演算回路およびフリップフロップを提供することにある。

【 0 0 1 1 】

【課題を解決するための手段】

上述した課題を解決するために、請求項 1 の発明は、複数のゲート回路を備えた半導体集積回路において、前記複数のゲート回路のうち一部のゲート回路は、複数の第 1 のトランジスタで構成された論理回路と、前記論理回路に電源電圧を供給するか否かを切替可能で、前記第 1 のトランジスタよりもしきい値電圧が高い第 2 のトランジスタで構成された切替回路と、を有し、前記切替回路を制御する制御回路を備える。

【 0 0 1 2 】

請求項 1 の発明では、一部のゲート回路（例えば、タイミング的な条件が厳しい部分など）のみ、しきい値電圧の低いトランジスタを用いて構成するため、このゲート回路を高速化することができる。また、他のゲート回路はしきい値電圧の高いトランジスタを用いて構成するため、リーク電流の低減が図れる。

【 0 0 1 3 】

請求項 2, 7 の発明では、クリティカル・パス上のゲート回路をしきい値電圧の低いトランジスタで構成するため、クリティカル・パスのタイミング制約を遵守することができる。

【 0 0 1 4 】

請求項 3 の発明は、仮想電圧線と第 1 の基準電圧線との間に接続され、複数の第 1 のトランジスタで構成されたゲート回路と、第 2 の基準電圧線と前記仮想電圧線との間に接続され、前記第 1 のトランジスタよりもしきい値電圧が高いトランジスタで構成された第 2 のトランジスタと、を備える。

【 0 0 1 5 】

請求項 3 の発明では、しきい値電圧が低いトランジスタで構成されたゲート回路と第 2 の基準電圧線との間に第 2 のトランジスタを接続するため、ゲート回路が非動作の間はゲート回路のリーク・パスを確実に遮断でき、消費電力の低減が図れる。

【 0 0 1 6 】

請求項 4 の発明は、第 1 の基準電圧線と仮想電圧線との間に接続され、複数の第 1 のトランジスタで構成されたゲート回路と、前記仮想電圧線と第 2 の基準電圧線との間に接続され、前記第 1 のトランジスタよりもしきい値電圧が高い第 2 のトランジスタと、前記第 1 の基準電圧線と前記ゲート回路の出力端子との間に接続され、前記第 1 のトランジスタよりもしきい値電圧が高い第 3 のトランジスタと、を備え、前記第 2 および第 3 のトランジスタは、一方がオンするときは他方がオフし、他方がオンするときは一方がオフするようにオン・オフ制御される。

【 0 0 1 7 】

請求項 4 の発明では、しきい値電圧が低いトランジスタで構成されたゲート回路と第 2 の基準電圧線との間に第 2 のトランジスタを接続し、かつ、ゲート回路が非動作の間にゲート回路の出力論理が不定にならないように第 3 のトランジスタを設けたため、中間電位が後段のゲート回路に伝搬するおそれがなく、後段のゲート回路に貫通電流が流れるおそれもなくなる。

【 0 0 1 8 】

請求項 5 の発明は、複数の第 1 のトランジスタで構成され、第 1 および第 2 の仮想電圧線に接続されたゲート回路と、第 1 の基準電圧線と前記第 1 の仮想電圧線との間に接続され、前記第 1 のトランジスタよりもしきい値電圧が高い第 2 のトランジスタと、第 2 の基準電圧線と前記第 2 の仮想電圧線との間に接続され、前記第 1 のトランジスタよりもしきい値電圧が高い第 3 のトランジスタと、前記ゲート回路の出力論理を保持可能な記憶回路と、を備え、前記記憶回路が前記ゲート回路の出力論理を保持している間は前記第 2 および第 3 のトランジスタはオフ制御され、前記記憶回路が前記ゲート回路の出力論理を保持していない間は前記第 2 および第 3 のトランジスタはオン制御される。

【 0 0 1 9 】

請求項 5 の発明では、ゲート回路がスタンバイ時には、スタンバイ直前のゲート回路の出力論理を記憶回路に保持するようにしたため、後段のゲート回路に貫通電流が流れなくなる。また、スタンバイ時からアクティブ時に移行する際、中間電位が伝搬しなくなり、再起動時間が短くなるとともに、再起動による消費電流も少なくなる。

【 0 0 2 0 】

請求項 6 の発明は、複数の第 1 のトランジスタで構成され、第 1 および第 2 の仮想電圧線に接続されたゲート回路と、第 1 の基準電圧線と前記第 1 の仮想電圧線との間に接続され、前記第 1 のトランジスタよりもしきい値電圧が高い第 2 のトランジスタと、第 2 の基準電圧線と前記第 2 の仮想電圧線との間に接続され、前記第 1 のトランジスタよりもしきい値電圧が高い第 3 のトランジスタと、前記ゲート回路に並列接続され、前記第 1 のトランジスタよりもしきい値電圧が高い複数の第 4 のトランジスタを用いて前記ゲート回路と略等しく構成されたバイパス回路と、を備え、前記バイパス回路は、前記第 1 および第 2 の基準電圧線間に接続される。

【 0 0 2 1 】

請求項 6 の発明では、ゲート回路と同じ回路構成のバイパス回路をゲート回路に並列接続し、バイパス回路を常にアクティブな状態にしておくため、ゲート回路がスタンバイ状態になっても、ゲート回路の出力論理が不定にならなくなり、後段のゲート回路に貫通電流が流れなくなる。

【 0 0 2 2 】

請求項 8 の発明では、フリップフロップを構成する回路のうち、信号伝送速度に影響のない第 1 および第 2 の記憶回路はしきい値電圧の高いトランジスタを用いて構成し、それ以外はしきい値電圧の低いトランジスタで構成するため、高速化と低消費電力化が図れる。

【 0 0 2 3 】

【発明の実施の形態】

以下、本発明に係る半導体集積回路について、図面を参照しながら具体的に説

明する。

【 0 0 2 4 】

(第 1 の実施形態)

第 1 の実施形態は、半導体集積回路内の大半のゲート回路をしきい値電圧の高いトランジスタで構成し、一部のゲート回路のみをしきい値電圧の高いトランジスタと低いトランジスタを組み合わせて構成した SMT (Selective MT) - CMOS 回路方式を採用して、信号伝送速度の高速化と消費電力の低減を図るものである。以下では、しきい値電圧の高いトランジスタと低いトランジスタを組み合わせて構成されるゲート回路を MT ゲートセルと呼ぶ。

【 0 0 2 5 】

図 1 は本発明に係る半導体集積回路の第 1 の実施形態の回路図である。図 1 の回路は、クリティカルパス上のゲート回路 1 のみを、しきい値電圧の低いトランジスタとしきい値電圧の高いトランジスタとを組み合わせて構成し、それ以外のゲート回路 1 は、しきい値電圧の高いトランジスタで構成している。

【 0 0 2 6 】

図 1 では、クリティカルパス上のゲート回路 1 を斜線で示している。この斜線で図示したゲート回路 1 は、しきい値電圧の高いトランジスタ (第 2 のトランジスタ) としきい値電圧の低いトランジスタ (第 1 のトランジスタ) とからなる MT ゲートセルで構成されている。この MT ゲートセルは、図 8 と同様の回路構成でもよいし、あるいは、後述するような回路構成でもよい。

【 0 0 2 7 】

また、図 1 の回路には、MT ゲートセルに電源電圧を供給するか否かを切り替える制御回路 2 が設けられている。図 1 の制御回路 2 は、ゲート回路 1 を構成する MT ゲートセル内の電源供給切替用のトランジスタのオン・オフを制御する。

【 0 0 2 8 】

一方、図 2 は図 1 の回路に対応する従来 of 回路図である。図 1 および図 2 からわかるように、図 1 の回路は、クリティカルパス上のゲート回路 1 を MT ゲートセルに置き換えた点と、MT ゲートセルに電源供給を行うか否かを切り替える制御回路 2 を設けた点で、図 2 の回路と異なっている。

【 0 0 2 9 】

図 1 の回路の場合、クリティカルパス上のゲート回路 1 を MT ゲートセルで構成しているため、クリティカルパス上の信号伝送速度を高速化することができる。一方、それ以外の回路は、しきい値電圧の高いトランジスタで構成しているため、アクティブ時のリーク電流を抑制することができる。

【 0 0 3 0 】

図 3 は図 1 のゲート回路 1 を構成する MT ゲートセルの第 1 の具体例を示す回路図である。図 3 の回路は、しきい値電圧の低いトランジスタで構成された NAND 回路（ゲート回路） 3 と、NAND 回路 3 に電源電圧を供給するか否かを切り替えるトランジスタ（第 2 のトランジスタ）Q 1 とを備えており、このトランジスタ Q 1 は、しきい値電圧の高い PMOS トランジスタである。

【 0 0 3 1 】

図 3 の回路の場合、トランジスタ Q 1 がオンすると、NAND 回路 3 に電源電圧が供給され、この NAND 回路 3 は高速に動作する。一方、トランジスタ Q 1 がオフすると、NAND 回路 3 のリーク・パスが遮断され、リーク電流を低減できる。

【 0 0 3 2 】

図 3 の回路は、NAND 回路 3 が接地線 VSS に直接接続されているため、NAND 回路 3 がスタンバイ状態のときにはトランジスタ Q 1 をオフすることで、リーク・パスを確実に遮断できる。これにより、スタンバイ状態時の消費電力の低減が図れる。

【 0 0 3 3 】

一方、図 4 は MT ゲートセルの第 2 の具体例を示す回路図である。図 4 の回路は、電源線 VDD と仮想接地線 VSS1 との間に接続された NAND 回路（ゲート回路） 3 と、仮想接地線 VSS1 と接地線 VSS との間に接続されたトランジスタ（第 2 のトランジスタ）Q 2 と、NAND 回路 3 の出力端子と電源線 VDD との間に接続されたトランジスタ（第 3 のトランジスタ）Q 3 とを備えている。

【 0 0 3 4 】

NAND 回路 3 はしきい値電圧の低いトランジスタで構成され、トランジスタ Q 2 , Q 3 はしきい値電圧の高いトランジスタである。

【 0 0 3 5 】

図 4 の回路の場合、トランジスタ Q 2, Q 3 は、一方がオンすると他方はオフし、他方がオンすると一方はオフする。トランジスタ Q 2 がオンすると、NAND 回路 3 に電源電圧が供給されて NAND 回路 3 は高速動作する。このとき、トランジスタ Q 3 はオフしているため、NAND 回路 3 の出力が出力端子から出力される。一方、トランジスタ Q 2 がオフすると、NAND 回路 3 のリーク・パスが遮断されて NAND 回路 3 はスタンバイ状態になる。このとき、トランジスタ Q 3 はオンし、出力端子はハイレベルにプルアップされる。

【 0 0 3 6 】

図 4 の回路の場合、NAND 回路 3 の出力端子にトランジスタ Q 3 を接続して、スタンバイ時に NAND 回路 3 の出力論理が不定にならないようにしている。これにより、後段のゲート回路 1 (不図示) に中間電位が伝搬するおそれがなくなり、後段のゲート回路 1 に貫通電流が流れなくなる。

【 0 0 3 7 】

一方、図 5 は MT ゲートセルの第 3 の具体例を示す回路図である。図 5 の回路は、仮想電源線 VDD1 と仮想接地線 VSS1 との間に接続された NAND 回路 (ゲート回路) 3 と、仮想電源線 VDD1 と電源線 VDD との間に接続されたトランジスタ (第 2 のトランジスタ) Q 1 と、仮想接地線 VSS1 と接地線 VSS との間に接続されたトランジスタ (第 3 のトランジスタ) Q 2 と、NAND 回路 3 の出力端子に接続されたデータ保持回路 (記憶回路) 4 とを備えている。

【 0 0 3 8 】

NAND 回路 3 はしきい値電圧の低いトランジスタで構成され、トランジスタ Q 1, Q 2 はしきい値電圧の高いトランジスタである。

【 0 0 3 9 】

データ保持回路 4 は、NAND 回路 3 の出力端子に接続されたインバータ 5 と、インバータ 5 の出力端子と NAND 回路 3 の出力端子との間に接続されたクロックドインバータ 6 とを有する。クロックドインバータ 6 は、トランジスタ Q 1, Q 2 がオンのときのアクティブ時は、データの保持動作を行わず、トランジスタ Q 1, Q 2 がオフのときのスタンバイ時は、NAND 回路 3 の出力論理を保持する。

【 0 0 4 0 】

図 5 の回路は、スタンバイ時にはデータ保持回路 4 でデータを保持するため、図 4 と同様に後段のゲート回路 1 に貫通電流が流れない。また、再起動時に信号が伝搬しないため、再起動時間が短く、再起動による消費電流も少ない。

【 0 0 4 1 】

一方、図 6 は MT ゲートセルの第 4 の具体例を示す回路図である。図 6 の回路は、データ保持回路の代わりに、バイパス回路 7 を有する点以外は、図 5 と同様に構成されている。

【 0 0 4 2 】

図 6 のバイパス回路 7 は、NAND 回路 3 と同じ回路構成を有し、電源線 VDD と接地線 VSS との間に接続され、かつ、NAND 回路 3 に並列に接続されている。ただし、NAND 回路 3 はしきい値電圧の低いトランジスタで構成されているのに対し、バイパス回路 7 はしきい値電圧の高いトランジスタで構成されている。

【 0 0 4 3 】

NAND 回路 3 はトランジスタ Q 1, Q 2 がオンのときのみアクティブになるのに対し、バイパス回路 7 は常にアクティブである。

【 0 0 4 4 】

トランジスタ Q 1, Q 2 がオンのときは、NAND 回路 3 とバイパス回路 7 はいずれも同じ論理の信号を出力する。一方、トランジスタ Q 1, Q 2 がオフのときは、NAND 回路 3 は動作しないが、バイパス回路 7 は継続して動作するため、図 6 の回路の出力論理が不定になることはない。したがって、後段のゲート回路 1 に中間電位が伝搬するおそれがなくなり、後段のゲート回路 1 に貫通電流が流れなくなる。

【 0 0 4 5 】

このように、第 1 の実施形態では、半導体集積回路内の一部のゲート回路 1 (例えば、クリティカルパス上のゲート回路 1) のみ、MT ゲートセルで構成し、他のゲート回路 1 はしきい値電圧の高いトランジスタで構成するため、一部のゲート回路 1 を高速動作させることができ、かつ、全体的なリーク電流を抑制でき、消費電力の低減が図れる。

【 0 0 4 6 】

図 3 ～ 図 6 では、MTゲートセル内にNAND回路 3 を設ける例を説明したが、NAND回路 3 以外の他のゲート回路 1 を設けてもよい。

【 0 0 4 7 】

(第 2 の実施形態)

第 2 の実施形態は、フリップフロップ内の一部のゲート回路 1 のみをMTゲートセルで構成するものである。

【 0 0 4 8 】

図 7 は本発明に係る半導体集積回路の第 2 の実施形態の回路図である。図 7 の半導体集積回路は、Dフリップフロップであり、このDフリップフロップは、MTゲートセルからなるクロックドインバータ（第 1 および第 2 の導通遮断回路）11、12 およびインバータ 13 ～ 15 と、しきい値の高いトランジスタからなる記憶回路（第 1 および第 2 の記憶回路）16、17 とで構成される。記憶回路 16、17 は、図 5 のデータ保持回路 4 と同様に、インバータとクロックドインバータとで構成されている。

【 0 0 4 9 】

フリップフロップ内の記憶回路 16、17 は、前段のクロックドインバータの出力論理を保持するためのものであり、フリップフロップの動作速度にはあまり影響しない。このため、本実施形態では、しきい値の高いトランジスタで記憶回路を構成して、リーク電流の低減を図っている。

【 0 0 5 0 】

一方、フリップフロップ内のクロックドインバータ 11、12 およびインバータ 13 ～ 15 は、図 3 ～ 図 6 と同様にMTゲートセルで構成されている。これらクロックドインバータ 11、12 およびインバータ 13 ～ 15 は、信号を伝送する作用を行うため、MTゲートセルで構成することにより、フリップフロップの動作速度を向上できる。

【 0 0 5 1 】

このように、第 2 の実施形態は、フリップフロップを構成する複数の回路のうち、動作速度に影響のあるクロックドインバータ 11、12 およびインバータ 1

3 ～ 1 5 のみ MT ゲートセルで構成し、その他の回路はしきい値電圧の高いトランジスタで構成するため、フリップフロップの動作速度を向上させつつ、リーク電流を低減できる。

【 0 0 5 2 】

なお、図 7 では D フリップフロップを構成する例について説明したが、本発明は、D フリップフロップ以外の各種のフリップフロップに同様に適用可能である。

【 0 0 5 3 】

また、図 7 の記憶回路 1 6，1 7 の回路構成も特に限定されない。

【 0 0 5 4 】

【発明の効果】

以上詳細に説明したように、本発明によれば、半導体集積回路内の一部のゲート回路のみ、しきい値電圧が低いトランジスタを用いて構成するため、例えばタイミング的に厳しい部分のみ、しきい値電圧が低いトランジスタを用いて高速化を図り、その他の部分はリーク電流の少ないしきい値電圧の高いトランジスタを用いて構成できる。この結果、高速化と低消費電力化の双方が図れる。

【 0 0 5 5 】

また、従来の MT-CMOS 回路は、半導体集積回路内のすべてのゲート回路をしきい値電圧が高いトランジスタと低いトランジスタで構成していたのに対し、本願発明は、一部のゲート回路（例えば、クリティカルパス上のゲート回路）のみ、しきい値電圧が高いトランジスタと低いトランジスタで構成するため、従来の MT-CMOS 回路に比べて回路の素子形成面積を削減でき、高集積化が可能になる。

【図面の簡単な説明】

【図 1】

本発明に係る半導体集積回路の第 1 の実施形態の回路図。

【図 2】

図 1 の回路に対応する従来の回路図。

【図 3】

図 1 のゲート回路 1 を構成する MT ゲートセルの第 1 の具体例を示す回路図。

【図 4】

MTゲートセルの第 2 の具体例を示す回路図。

【図 5】

MTゲートセルの第 3 の具体例を示す回路図。

【図 6】

MTゲートセルの第 4 の具体例を示す回路図。

【図 7】

本発明に係る半導体集積回路の第 2 の実施形態の回路図。

【図 8】

MT-CMOSの従来回路図。

【図 9】

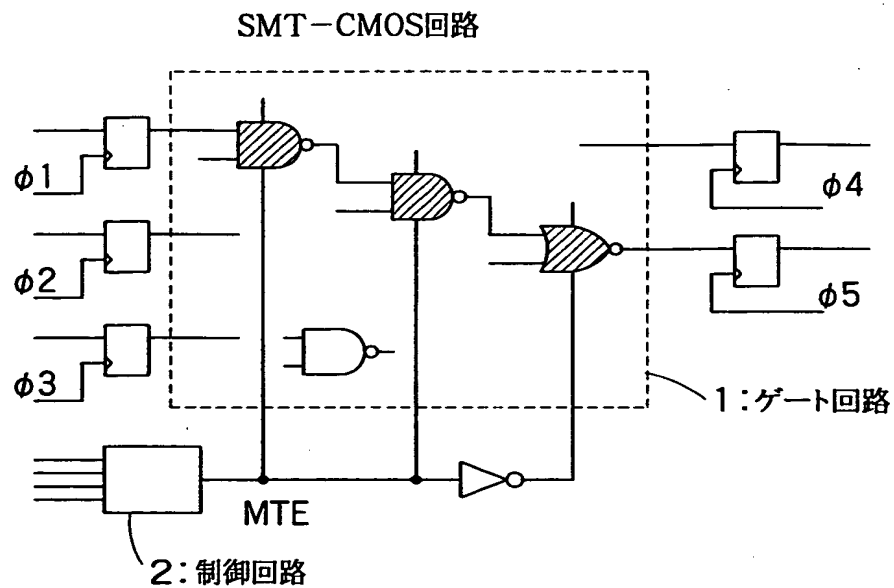
論理回路中の一部のセルのみをしきい値電圧の低いトランジスタに置換した従来の回路図。

【符号の説明】

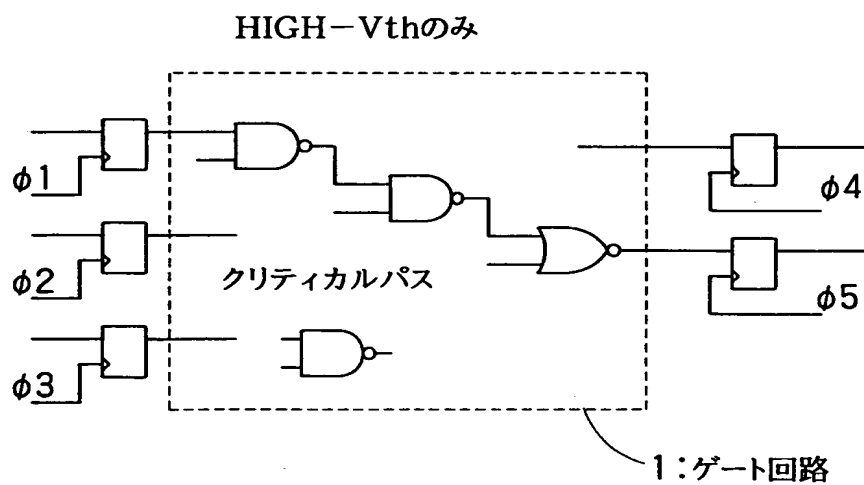
- 1 ゲート回路
- 2 制御回路
- 3 NAND回路
- 4 データ保持回路
- 7 バイパス回路
- 11, 12 クロックドインバータ
- 16, 17 記憶回路

【書類名】 図面

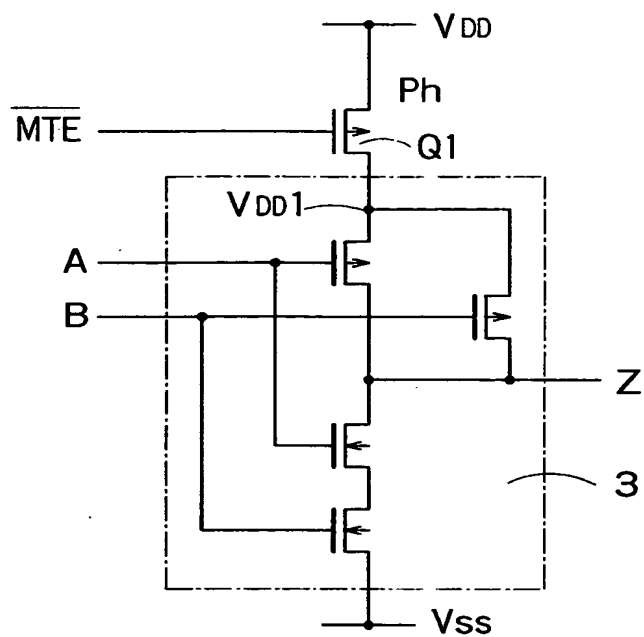
【図 1】



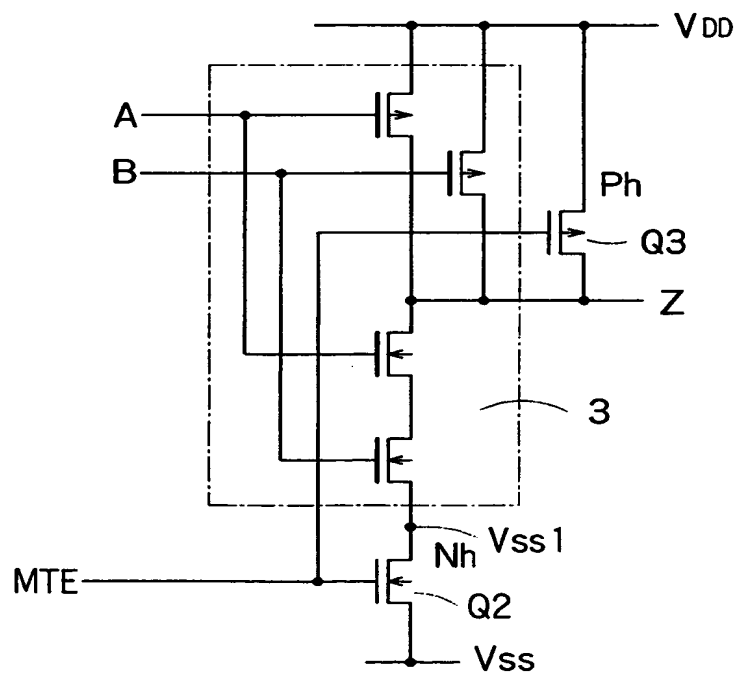
【図 2】



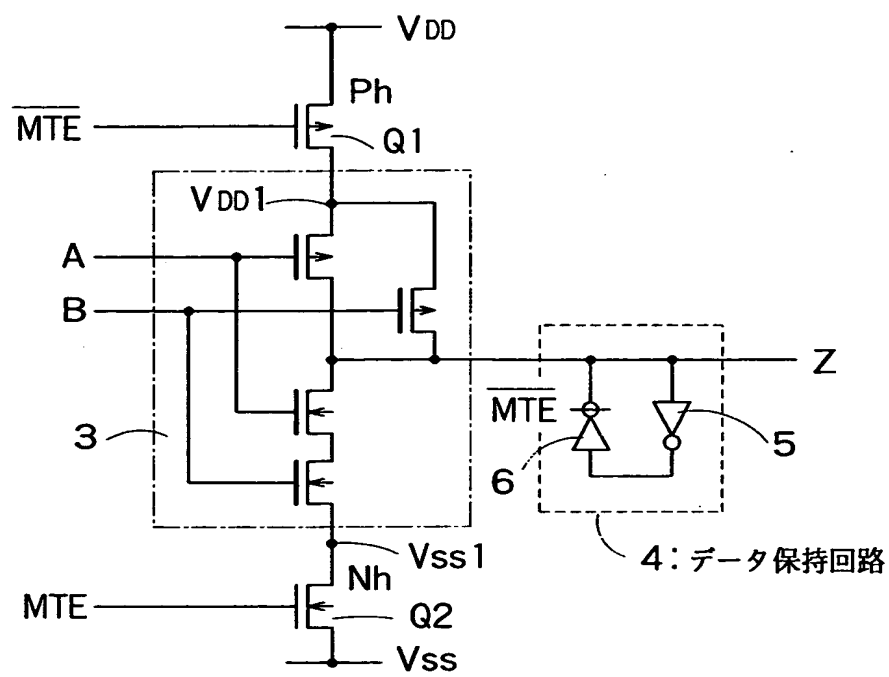
【図 3】



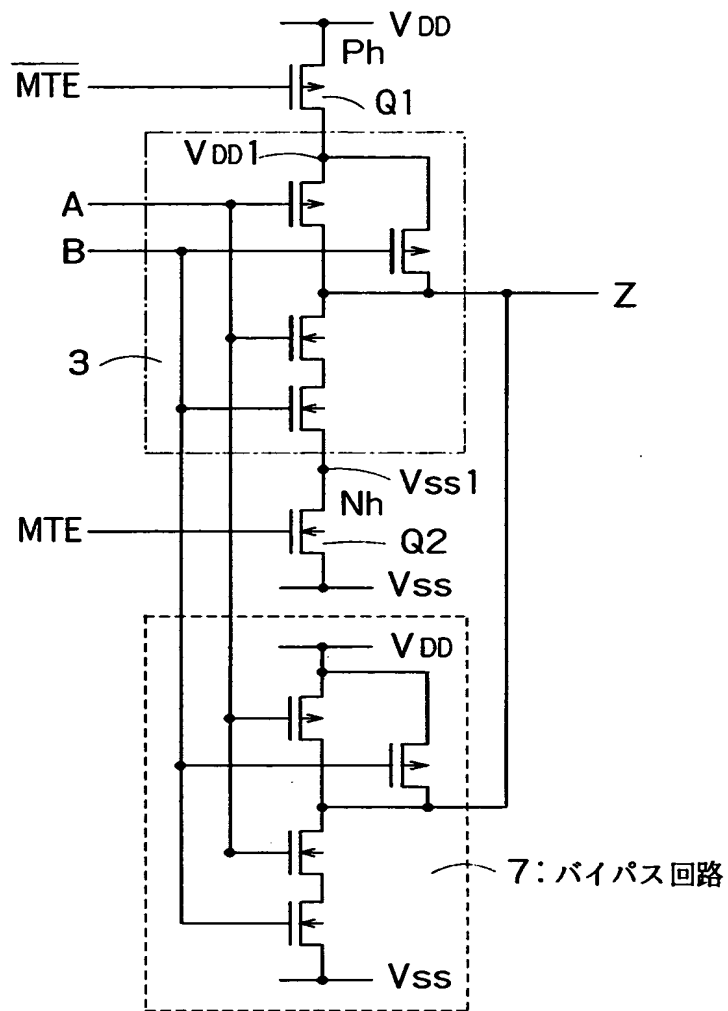
【図 4】



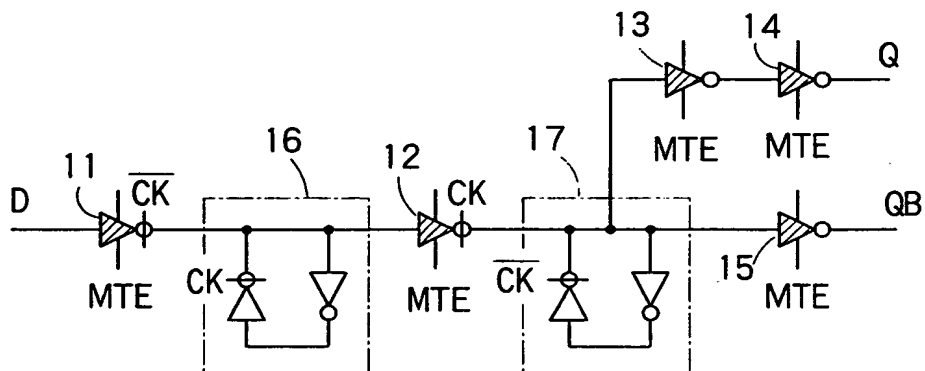
【図5】



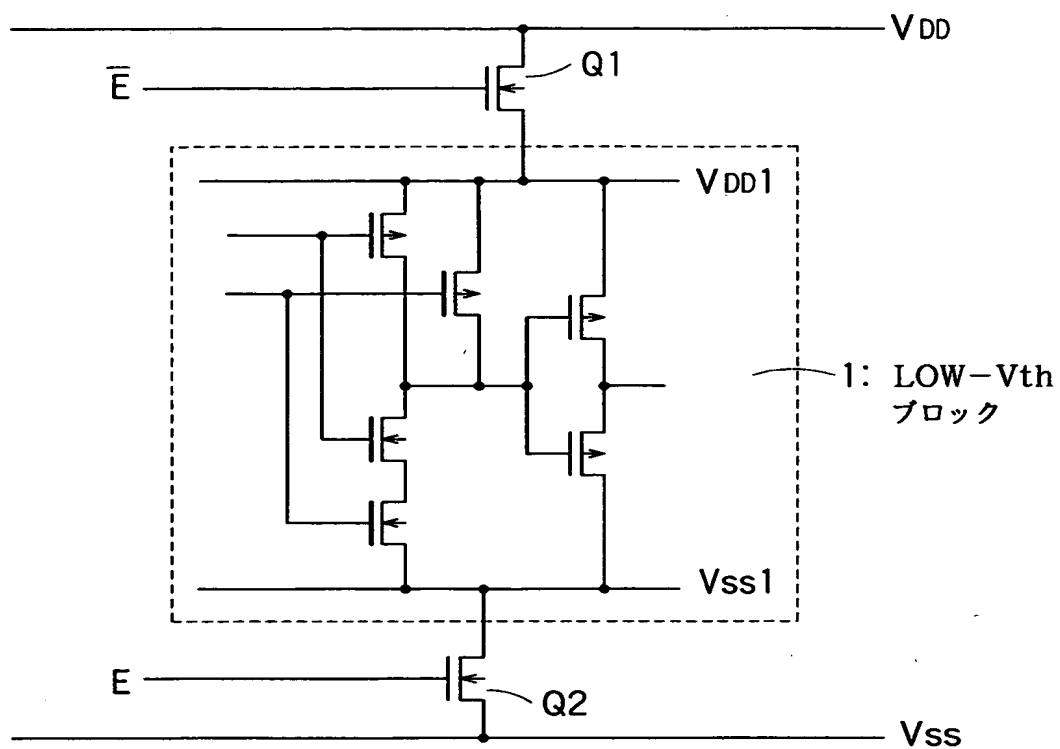
【図 6】



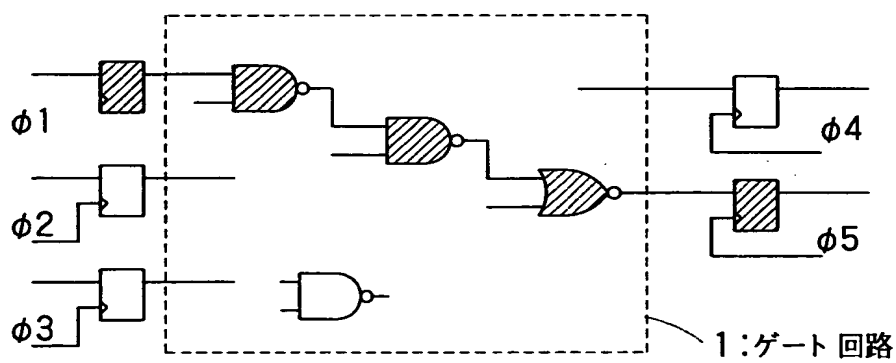
【図 7】



【図8】



【図9】



【書類名】 要約書

【要約】

【課題】 高速動作が可能で、リーク電流の少ない半導体集積回路、論理演算回路およびフリップフロップを提供する。

【解決手段】 本発明の半導体集積回路は、クリティカルパス上のゲート回路 1 のみを、しきい値電圧の低いトランジスタとしきい値電圧の高いトランジスタとを組み合わせたMTゲートセルで構成し、それ以外のゲート回路 1 は、しきい値電圧の高いトランジスタで構成する。これにより、クリティカルパス上のゲート回路 1 を高速動作させることができ、かつ全体的なリーク電流も抑制でき、消費電力の低減が図れる。

【選択図】 図 1

特2000-184398

出 願 人 履 歴 情 報

識別番号 [000003078]

1. 変更年月日	1990年 8月22日
[変更理由]	新規登録
住 所	神奈川県川崎市幸区堀川町72番地
氏 名	株式会社東芝

出 願 人 履 歴 情 報

識別番号 [000221199]

1. 変更年月日	1990年 8月23日
[変更理由]	新規登録
住 所	神奈川県川崎市川崎区駅前本町25番地1
氏 名	東芝マイクロエレクトロニクス株式会社